

PAT-NO: JP410301663A

DOCUMENT-IDENTIFIER: JP 10301663 A

TITLE: CLOCK SKEW CORRECTING CIRCUIT

PUBN-DATE: November 13, 1998

INVENTOR-INFORMATION:

NAME

TAMEDA, SHIGEHITO

ASSIGNEE-INFORMATION:

NAME

NEC CORP

COUNTRY

N/A

APPL-NO: JP09126301

APPL-DATE: April 30, 1997

INT-CL (IPC): G06F001/10, G01R031/28 , G01R031/319 , H03K005/00 ,
H03K005/13

ABSTRACT:

PROBLEM TO BE SOLVED: To reduce clock skew that becomes an obstacle to acceleration, to absorb characteristic dispersion of an input buffer to which a reference clock signal is inputted, to improve performance of a clock skew correcting circuit and to accelerate an entire system.

SOLUTION: This device provides a delay correcting circuit 126 in the middle of a feedback path which inputs a clock signal to a phase comparator 121 from a clock distribution system 124 which supplies the clock signal through a feedback path 131, detects delay difference between a reference clock signal just before an input buffer of the reference clock signal and a reference clock

signal just before the phase comparator, corrects the phase of a clock signal from the feedback path based on the information, inputs the corrected clock to the phase comparator, performs the reference clock and a phase comparison operation and adapts the phase of a normal clock signal to the reference clock signal through a control circuit 122 and a variable delay circuit 123 based on the result.

COPYRIGHT: (C)1998,JPO

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-301663

(43) 公開日 平成10年(1998)11月13日

(51) Int.Cl.⁶

識別記号

F I

G 0 6 F 1/10

G 0 6 F 1/04

3 3 0 A

G 0 1 R 31/28

H 0 3 K 5/13

31/319

G 0 1 R 31/28

P

H 0 3 K 5/00

R

5/13

V

審査請求 有 請求項の数 2 F D (全 5 頁) 最終頁に続く

(21) 出願番号 特願平9-126301

(22) 出願日 平成9年(1997)4月30日

(71) 出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 溜田 茂仁

東京都港区芝五丁目7番1号 日本電気株式会社内

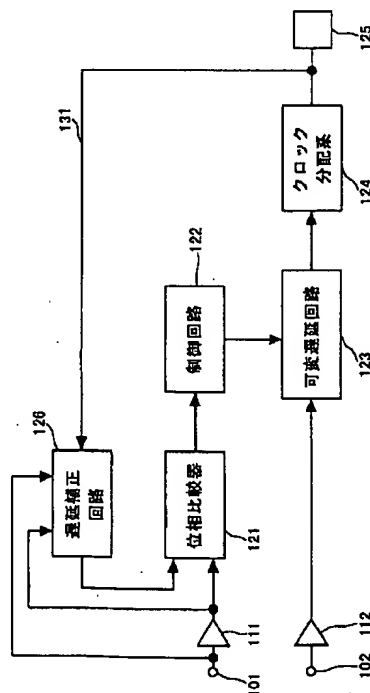
(74) 代理人 弁理士 加藤 朝道

(54) 【発明の名称】 クロックスキュー補正回路

(57) 【要約】

【課題】 高速化の妨げとなるクロックスキューを低減し、基準クロック信号が入力される入力バッファの特性バラツキをも吸収してクロックスキュー補正回路の性能を向上させ、システム全体の高速化を達成する補正回路の提供。

【解決手段】 クロック信号を供給するクロック分配系124から帰還パス131を通して位相比較器121へ入力する帰還パスの途中に、遅延補正回路126を設け、基準クロック信号の入力バッファの直前の基準クロック信号と位相比較器の入力直前の基準クロック信号との遅延差を検出し該情報を基に帰還パスからのクロック信号の位相を補正し、補正したクロックを位相比較器へ入力し、基準クロックと位相比較動作を行いその結果を基に、制御回路122、可変遅延回路123を通して通常クロック信号の位相を基準クロック信号に合わせ込む。



【特許請求の範囲】

【請求項1】クロック信号を分配するためのクロック分配系に対応して形成されたクロック帰還パスと、前記クロック帰還パスの途中に設けられ、基準クロック信号を半導体集積回路内に入力するための入力バッファの遅延分だけクロック信号を補正する手段と、前記クロック信号を補正する手段を通ったクロック信号と前記基準クロック信号との位相差を検出するための位相差検出手段と、前記位相差検出結果に基づいてクロック信号の遅延時間を調節するための制御信号を発生する手段と、前記制御信号に対応してクロック信号の遅延時間を可変とする手段と、を含むことを特徴とするクロックスキュー補正回路。

【請求項2】クロック入力端子から第1の入力バッファを介して入力されたクロック信号を分配するクロック分配系から同期回路に出力されるクロック信号を帰還させるパスに挿入され、基準クロック信号を入力する第2の入力バッファの入力端直前と出力端、すなわち位相差検出回路の入力端直前の位相差に基づき、前記帰還パスから入力されたクロック信号の遅延時間を補正して出力する遅延補正回路と、前記遅延補正回路から出力されるクロック信号と、前記第2の入力バッファの出力端の基準クロックと、の位相差を検出するための位相差検出回路と、前記位相差検出回路の出力結果に基づき、前記クロック入力端子から前記第1の入力バッファを介して入力されたクロック信号の遅延時間を調節するための制御信号を発生する制御回路と、前記制御信号に対応して前記クロック入力端子から前記第1の入力バッファを介して入力させたクロック信号の遅延時間を可変させて前記クロック分配系に出力する可変遅延回路と、を含むことを特徴とする半導体集積回路装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体集積回路に関し、特に、クロック信号の位相ずれを補正するためのクロックスキュー補正回路及びこれを備えた半導体集積回路に関する。

【0002】

【従来の技術】近年、半導体集積回路の集積度が高くなり、且つ、大型化（大規模化）するに伴って、半導体集積回路内での配線長、特にクロック信号を各機能ブロックに供給するための配線が長くなり、クロック信号の遅延が無視できなくなっている。すなわち、複数の機能ブロックに共通に供給されるクロック信号の位相が、各機能ブロック間でずれてしまい、半導体集積回路全体としての高速動作に支障をきたすことになる。

【0003】クロック信号の位相差を補正するための従

来技術として、例えば特開平6-273478号公報などに記載されているように、クロック信号を供給するためのパスに対応して帰還パスを設け、この帰還パスのクロック信号波形と基準クロック信号波形との位相比較を行い、この位相ずれ検出結果に基づいて、クロック供給パスに設けた可変遅延回路を調節して、クロック分配系におけるクロックスキューを補正する、という技術が知られている。

【0004】図2は、従来のクロックスキュー補正回路の一例を示すブロック図である。図2において、101は基準クロックの外部入力端子、102はクロック信号外部入力端子、111、112は入力バッファ、121は位相比較器、122は制御回路、123は可変遅延回路、124はクロック分配系、125はフリップフロップ、131は帰還パスを表す。

【0005】この従来のクロックスキュー補正回路の動作について説明する。図2に示すように、外部端子102に入力されたクロック信号は、入力バッファ112、可変遅延回路123、クロック分配系124を通して、フリップフロップ125へと供給される。

【0006】クロック分配系124から出力されたクロック信号は、帰還パス131によって位相比較器121の一の入力端子へ入力される。位相比較器121の他の入力端子には、外部入力端子101から入力バッファ111を通して入力された基準クロック信号が入力される。位相比較器121では、基準クロック信号とクロック分配系124から帰還パス131を通ってきたクロック信号との位相比較動作が行われ、その比較結果を信号として制御回路122へ出力する。

【0007】位相比較結果の信号を受け取った制御回路122は、その位相比較結果に対応してクロック信号の位相を進めたり、遅らせたりするための制御信号を可変遅延回路123へ出力する。

【0008】可変遅延回路123では、受け取った位相を調節するための制御信号に応じて遅延を増加、または減少させ、クロック信号の位相を調節する。

【0009】このように、基準クロック信号とクロック分配系出力のクロック信号との位相を合わせることによって、クロックスキューの低減を行う。

【0010】

【発明が解決しようとする課題】しかしながら、上記した従来のクロックスキュー補正回路は、下記記載の問題点を有している。

【0011】(1)第1の問題点は、半導体集積回路が微細化されてくると、例えばデバイス特性のバラツキや温度、電源電圧などの変化によって、入力バッファ111の特性のバラツキが大きくなり、クロック信号の位相を合わせる元になる基準クロック信号自体がばらついてしまうことがある、ということである。

【0012】(2)第2の問題点は、同じ半導体集積回

路内に複数のクロックスキュー補正回路を使う場合、または、別の半導体集積回路に同様なクロックスキュー補正回路を使用する場合などに、基準クロック信号の入力バッファ111の出力負荷条件が異なる場合があり得る。こうした場合、基準クロック信号の入力バッファ111の特性の差がクロックスキュー補正の精度に影響してくる、ということである。

【0013】したがって、本発明は、上記した従来技術の問題点を解消すべく創案されたものであって、その目的は、クロックスキューの発生を低減し、しかも、基準クロック信号が入力される入力バッファの特性バラツキをも吸収して、クロックスキュー補正回路の性能を向上させ、結果的にシステム全体の高速化を達成するクロックスキュー補正回路を提供することにある。

【0014】

【課題を解決するための手段】前記目的を達成するため、本発明のクロックスキュー補正回路は、クロック信号を分配するためのクロック分配系に対応して形成されたクロック帰還パスと、このクロック帰還パスの途中に設けられ、基準クロック信号を半導体集積回路内に入力するための入力バッファの遅延分だけクロック信号を補正する手段と、前記クロック信号を補正する手段を通ったクロック信号と、前記基準クロック信号との位相差を検出するための位相差検出手段と、この位相差検出結果に基づいて、クロック信号の遅延時間を調節するための制御信号を発生する手段と、前記制御信号に対応してクロック信号の遅延時間を可変とする手段と、を含むことを特徴とする。

【0015】

【発明の実施の形態】本発明の好ましい実施の形態について以下に説明する。本発明のクロックスキュー補正回路は、その好ましい実施の形態において、基準クロック信号が入力される入力バッファ（図1の111）と、位相比較結果の信号を入力としそれに応じた制御信号を出力する制御回路（図1の122）と、制御信号と通常クロック信号とを入力とし制御信号に対応して通常クロック信号の伝搬遅延時間を増加／減少させ、入力された通常クロック信号の位相を進めたり、あるいは遅らせたりしたクロック信号を出力する可変遅延回路（図1の123）と、可変遅延回路からの出力クロック信号を入力として半導体集積回路内のフリップフロップなどの機能ブロックにクロック信号を分配するクロック分配系（図1の124）と、第1の入力端に前記クロック分配系からのクロック信号を帰還パス（図1の131）を通して入力し、第2の入力端に前記基準クロック信号の入力バッファ直前の信号を入力し、第3の入力端に前記基準クロック信号の入力バッファ直後の信号を入力し、第2の入力信号と第3の入力信号との位相差情報を基に第1の入力信号であるクロック信号の遅延を補正して出力する遅延補正回路（図1の126）と、第1の入力端に前記基

準クロック信号の入力バッファの出力信号を入力し、第2の入力端に前記遅延補正回路の出力信号を入力し、2つの入力信号の位相を比較してその位相比較結果の信号を前記制御回路に出力する位相比較器（図1の121）と、を有する。

【0016】本発明の実施の形態において、遅延補正回路は、基準クロック信号が入力される入力バッファ（図1の111）の入力信号とその出力信号の位相差を基にクロック帰還パス（図1の131）からのクロック信号の遅延を補正するように作用する。このため、クロック分配系でのクロックスキュー低減作用に加え、基準クロック信号の入力バッファ特性バラツキまでも補正することを可能とし、更なるクロックスキュー低減の向上を達成する。

【0017】

【実施例】上記した本発明の実施の形態について更に詳細に説明すべく、本発明の実施例について図面を参照して以下に詳細に説明する。

【0018】図1は、本発明の一実施例の構成を示すブロック図である。図1において、101は半導体集積回路に基準クロック信号を供給する外部入力端子、102は半導体集積回路に通常クロック信号を供給する外部入力端子、111、112は入力バッファ、121は位相比較器、122は制御回路、123は可変遅延回路、124はクロック分配系、125はフリップフロップなどの同期回路、126は遅延補正回路、131はクロック帰還パスをそれぞれ示している。

【0019】次に本実施例の動作について説明する。

【0020】図1に示すように、半導体集積回路の外部入力端子101から入力バッファ111を通して基準クロック信号を位相比較回路121の第1の入力端子に入力する。位相比較器121の第2の入力端子には本発明の特徴である遅延補正回路126の出力信号が入力され、基準クロック信号と遅延補正回路126からの出力信号との位相比較動作が行われる。

【0021】その結果、位相比較に基づいて通常クロック信号の位相を進めるか遅らせるかの信号が出力され、制御回路122へ入力される。制御回路122では、位相比較回路121からの入力信号に対応して、通常クロック信号の位相をどの程度調節するかの制御信号を可変遅延回路123へ出力する。

【0022】可変遅延回路123では、制御信号から入力された制御信号に基づき遅延回路を調節して、別の入力端子から入力されたクロック信号の位相を変えクロック分配系124へ出力する。

【0023】クロック分配系124は、その位相を調節され可変遅延回路123から出力されたクロック信号をフリップフロップ等の同期回路125へと分配する。

【0024】クロック分配系124から出力されたクロック信号は、帰還パス131を通して遅延補正回路12

5

6の第3の入力端子へ入力される。

【0025】遅延補正回路126の第1の入力端子には、外部入力端子101から入力され入力バッファ111の入力端子直前の基準クロックが入力され、第2の入力端子には、入力バッファ111から出力され位相比較器121の入力端子直前の基準クロック信号が入力される。

【0026】遅延補正回路126では、第1、第2の入力端子から入力された、基準クロック信号の入力バッファ111前後の基準クロック信号間の遅延を検出する。そして、ここで検出された遅延量情報を基に、帰還パス131によってクロック分配系124の出力から戻され第3の入力端子から入力されたクロック信号の位相を調節して、位相比較器121へ出力する。

【0027】クロックスキューが発生する原因は、クロック分配系などの遅延差、デバイス特性のバラツキなどであり、このクロックスキューを限りなく小さく抑えることにより、クロック信号に同期して動作する同期回路は高速に動作させることが可能となり、このようなクロックスキュー補正回路などを内蔵した半導体集積回路を用いることによって、コンピュータなどのシステム全体を高速で動作させることが可能となる。

【0028】図2に示した従来例では、クロック分配系の出力を帰還パスを通して位相比較器に戻し、基準クロック信号と位相を比較、合わせることでクロックスキューの低減を行う。

【0029】本実施例のクロックスキュー補正回路においては、従来例のクロックスキュー調整に加え、基準クロック信号の半導体集積回路の外部入力端子から位相比較器入力までの部分の遅延、デバイス特性のバラツキま

6

低減することが可能となる。

【0030】

【発明の効果】以上説明したように、本発明によれば、クロック分配系でのクロックスキューを低減することができ、加えてクロック信号の位相を合わせる基準になる基準クロック信号の入力部の遅延、デバイス特性のバラツキまでも補正することができ、更なるクロックスキューを低減することができる。

【0031】その理由は、本発明においては、遅延補正回路は、基準クロック信号が入力される入力バッファの入力信号とその出力信号の位相差を基にクロック帰還パスからのクロック信号の遅延を補正するように、構成したことによる。

【図面の簡単な説明】

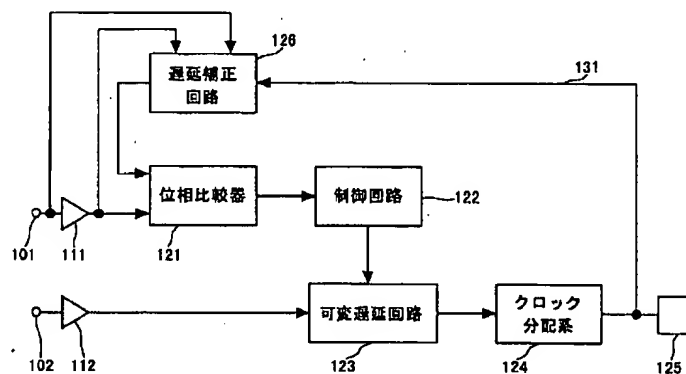
【図1】本発明の一実施例のクロックスキュー補正回路の構成を示すブロック図である。

【図2】従来例のクロックスキュー補正回路の構成を示すブロック図である。

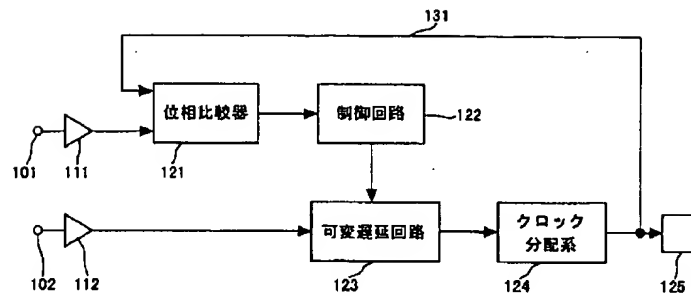
【符号の説明】

101 外部入力端子
102 外部入力端子
111 入力バッファ
112 入力バッファ
121 位相比較器
122 制御回路
123 可変遅延回路
124 クロック分配系
125 フリップフロップ
126 遅延補正回路
131 クロック帰還パス

【図1】



【図2】



フロントページの続き(51)Int. Cl.⁶

識別記号

F I
H 0 3 K 5/00

S